

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-126854

(43)Date of publication of application : 11.05.1999

(51)Int.Cl.

H01L 23/12

H01L 21/56

H01L 23/28

(21)Application number : 09-292939

(71)Applicant : NEC CORP.

(22)Date of filing : 24.10.1997

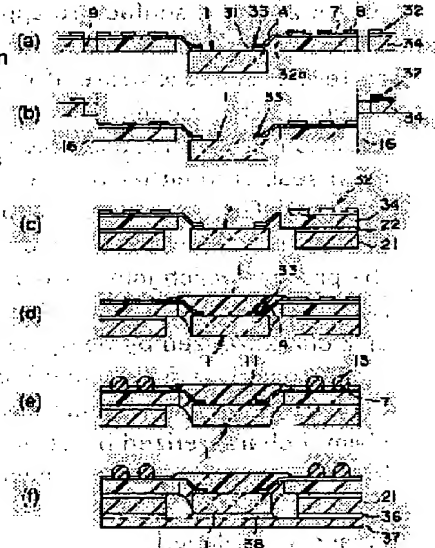
(72)Inventor : YAMASHITA TSUTOMU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deformations such as warpages from being formed in a substrate, even if a cure is performed after a resin-sealing of a semiconductor chip and leads by a method, wherein after a process of cutting the substrate in a pattern unit, the semiconductor chip and the leads are resin-encapsulated.

SOLUTION: A TAB tape 32 is cut by an isolation hole 9 using a metal mold or the like, and an external shape cut part 16 is formed. Then, an individual piece-shaped reinforcing plate 21 with a bonding agent 22 provided on one main surface thereof is pasted on a base film 34 of the tape 32. Then, inner leads 4 and ILB parts 33 are coated on a semiconductor chip 1 with a resin 11 by a potting method or the like, and after that, a cure is performed for 30 to 60 minutes at 150° C. Then, metal balls 13 such as solder balls are bonded to a land 7 by a reflow or the like. An individual piece-shaped heat sink 37 with a bonding agent 36 formed at a prescribed position on one main surface thereof is made to oppose to the chip 1 with a bonding agent 38 formed on the rear thereof and the reinforcing plate 21 and the heat sink 37 is pasted on the chip 1 and the plate 21 via the bonding agents 36 and 38.



LEGAL STATUS

[Date of request for examination]

24.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3019043

[Date of registration]

07.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by having the process which is the manufacture approach of the semiconductor device carried on the substrate which a circuit pattern is formed in a semiconductor chip and has flexibility, and connects the electrode on said semiconductor chip, and the lead of said substrate, the process which cuts said substrate per pattern, and the process which carries out the resin seal of said semiconductor chip and lead.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by establishing the process which joins the protrusion electrode which has conductivity on the circuit pattern of said substrate after said process which carries out a resin seal.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 characterized by establishing the process which attaches the back up plate in front of said process which carries out a resin seal, or in either the back through adhesives at said substrate.

[Claim 4] The manufacture approach of the semiconductor device according to claim 2 characterized by establishing the process which attaches a heat sink through adhesives at said semiconductor chip after the process which joins said protrusion electrode.

[Claim 5] Said substrate is the manufacture approach of the semiconductor device according to claim 1 or 2 characterized by being the film-like substrate with which the circuit pattern which becomes at least 1 principal plane from a metal layer was formed.

[Claim 6] Said film-like substrate is the manufacture approach of the semiconductor device according to claim 5 characterized by being the tape carrier package tape which has a metallic foil wiring layer in at least 1 principal plane of a base film.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the manufacture approach of a semiconductor device of having carried the semiconductor chip on the tape carrier package tape, about the manufacture approach of a semiconductor device.

[0002]

[Description of the Prior Art] The semiconductor device using the conventional tape carrier package tape is manufactured by the following approaches. First, the base film with which the sprocket hole for a device hole, conveyance, and positioning which is the aperture by which a semiconductor chip is

arranged was formed in insulating films, such as polyimide, polyester, and glass epoxy, is prepared, and the metallic foil which consists of copper etc. on this base film is pasted up through adhesives, and this metallic foil is processed into a desired configuration by etching etc., and let it be the lead of a desired configuration, and a pad for electric sorting.

[0003] Thus, inner lead bonding (ILB:inner lead bonding) of the lead (inner lead) projected in the device hole of the formed tape carrier package tape and the bump who consists of a metal projection beforehand prepared on the electrode terminal of a semiconductor chip is carried out by thermocompression bonding or the eutectic method, and sorting and the burn in test (BT:burn-in test) of electrical characteristics are carried out in the state of a long picture-like tape carrier package tape. Subsequently, an inner lead is cut to the die length of the request in which outer lead bonding (OLB:outer leadbonding) is possible.

[0004] Here, in being an a large number pin with many leads, in order to prevent ***** of the outer-lead-bonding section of a lead, the method of leaving an insulating film to the outer edge of an outer lead is used in many cases. Subsequently, a lead is mounted in bonding pads, such as a printed circuit board, by OLB.

[0005] By the way, in case a lead was mounted in a printed circuit board by OLB, in order to correspond to this, the OLB bonder only for tape carrier package tapes was required [since the thickness of this lead was very as thin as about 35 micrometers, reservation of the copra nullity of a lead was difficult, and] of the mounting approach of the semiconductor device using such a tape carrier package tape.

[0006] Moreover, since mounting by the reflow process was not able to be performed when it mounts on the same substrate with other surface mount packages which can be mounted by package reflow, such as QFP, this semiconductor device needed to be mounted at another process with this reflow process. For this reason, the semiconductor device using a tape carrier package tape will be dealt with as a special package, and had the trouble that versatility was missing.

[0007] On the other hand, as for outer reflow pitches, such as QFP in which a reflow is possible, 0.4mm pitch extent is made into the limitation. BGA (Ball Grid Array) which is the surface mount mold package which has stationed at the package rear face as what can cope with this limitation, and has stationed the solder bump in the shape of a grid as an external terminal is proposed (for example, a Nikkei micro device, the August, 1994 issue, 58 to pp.64 reference).

[0008] In order to realize the package of 23-24mm angle of for example, 220 pin class, about 1.5mm in pitch is sufficient as this BGA, and it is excellent in mounting nature compared with the conventional QFP for which 0.4mm pitch was needed. Moreover, since this BGA has the small appearance size of a package, it can shorten the wire length inside a package and has the description that electrical characteristics also improve. As a substrate used for this BGA, there are a ceramic substrate besides a multilayer printed board, a tape carrier package tape, etc.

[0009] Drawing 8 is the process Fig. showing the manufacture approach of BGA using the tape carrier package tape currently indicated by JP,8-31866,A. First, as shown in this drawing (a), it connects using the bonding tool 5 and let the bump 2 on a semiconductor chip 1, and the inner lead 4 of the tape carrier package tape 3 be the ILB sections 6. Here, a land 7 is formed on base film 3a of the tape carrier package tape 3, on this land 7, a solder resist 8 is formed and the isolation hole 9 penetrated further up and down is formed.

[0010] Subsequently, as shown in this drawing (b), a semiconductor chip 1, an inner lead 4, and the ILB section 6 are closed by resin 11 by the potting method etc. And as the metal balls 13, such as a solder ball, are arranged using the adsorption section 12 so that it may be in agreement with the location of the land 7 of the tape carrier package tape 3, and shown in this drawing (c), the adsorption section 12 is dropped and the metal ball 13 is joined to a land 7 by thermocompression bonding etc.

[0011] Subsequently, after sorting out a property using the pad for electrical-characteristics sorting which was prepared on the tape carrier package tape 3 and which is not illustrated, as are shown in this drawing (d), and the tape carrier package tape 3 is cut in the part of the isolation hole 9 and is shown in this drawing (e) using cutting tool 15 grade, an end face considers as the semiconductor device 17 made into the appearance cutting section 16.

[0012] As other examples of BGA using this tape carrier package tape, as shown in drawing 9, the thing of the structure which stuck the back up plate 21 with adhesives 22 in the field where the metal ball 13 of the tape carrier package tape 3 was joined, and the field of the opposite side, and the thing of structure which stuck the heat sink 23 with adhesives 22 and 24 so that the semiconductor chip 1 and

tape carrier package tape 3 whole might be covered as shown at drawing 10 are also proposed. The manufacture approach of BGA using this tape carrier package tape has the description in sorting of electrical characteristics conveying on the long picture-like tape carrier package tape 3, cutting this tape carrier package tape 3 in the part of the isolation hole 9 after that, and making it into the shape of a piece of an individual.

[0013]

[Problem(s) to be Solved by the Invention] By the way, although sorting of electrical characteristics cuts this tape carrier package tape 3 and is made into the shape of a piece of an individual after that by the manufacture approach of BGA using the conventional tape carrier package tape using the long picture-like tape carrier package tape 3, if the cure of resin 11 is performed after closing resin 11 by the potting method etc., as for the tape carrier package tape 3, it will become easy to generate deformation of curvature etc. with the heat in the case of a cure. Therefore, when the metal ball 13 was joined to a land 7 after the cure of resin 11, the metal ball 13 tended to cause a location gap etc. from supply to a land 7 before junction, and there was a trouble that the manufacture yield fell.

[0014] Moreover, although the long picture-like tape carrier package tape 3 was used even for sorting of electrical characteristics, since this approach was an approach of producing the product of the same form in large quantities, rolling round the tape carrier package tape 3, the correspondence to the product of small quantity many forms also had the trouble of being difficult.

[0015] This invention can obtain the semiconductor device whose dependability it was made in view of the above-mentioned situation, could raise the manufacture yield at the time of manufacturing the semiconductor device carried on the substrate which a circuit pattern is formed in a semiconductor chip and has flexibility, and improved, and aims at offering the manufacture approach of the semiconductor device in which automation of a production process and the correspondence to small quantity many forms are still more possible.

[0016]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, this invention offers the manufacture approach of the following semiconductor devices. That is, it is the manufacture approach of the semiconductor device carried on the substrate which a circuit pattern is formed in a semiconductor chip and has flexibility, and is the approach equipped with the process which connects the electrode on said semiconductor chip, and the lead of said substrate, the process which cuts said substrate per pattern, and the process which carries out the resin seal of said semiconductor chip and lead.

[0017] After said process which carries out a resin seal, the process which joins the protrusion electrode which has conductivity on the circuit pattern of said substrate may be established. Moreover, the process which attaches the back up plate in said substrate through adhesives in front of said process which carries out a resin seal, or at either the back may be established. Moreover, the process which attaches a heat sink in said semiconductor chip through adhesives may be established after the process which joins said protrusion electrode.

[0018] Moreover, it is good also as a film-like substrate with which the circuit pattern which becomes at least 1 principal plane from a metal layer was formed in said substrate. Furthermore, it is good also as a tape carrier package tape which has a metallic foil wiring layer for said film-like substrate in at least 1 principal plane of a base film.

[0019] By the manufacture approach of the semiconductor device of this invention, even if it performs a cure after a resin seal by having had the process which carries out the resin seal of said semiconductor chip and lead after the process which cuts said substrate per pattern, a possibility that deformation of curvature etc. may arise in said substrate is lost, and generating of the fault resulting from deformation of this curvature etc. is lost. Thereby, the manufacture yield improves and dependability's of the obtained product improves. Moreover, it becomes possible to use automation Rhine of the production process used conventionally by cutting the substrate which has flexibility per pattern. Moreover, since it becomes possible to send the piece of an individual cut per pattern to the process for which it is needed for every form, it becomes easy [the correspondence to small quantity many forms].

[0020]

[Embodiment of the Invention] Each operation gestalt of the manufacture approach of the semiconductor device of this invention is explained based on a drawing.

[0021] [Operation gestalt of ** 1st] drawing 1 is the process Fig. showing the manufacture approach of

the semiconductor device of the 1st operation gestalt of this invention. first, the inner lead 4 which constitutes the electrode 31 on a semiconductor chip 1, and a part of metallic foil wiring layer of the TAB (tape automated bonding) tape (tape carrier package tape) 32, and projects in device hole 32a as shown in this drawing (a) — ILB(s), such as the single pointing method and the gang method, — it connects by law and considers as the ILB section 33.

[0022] The thing formed with thin films, such as aluminum, or the thing in which barrier metal was further added and bumps, such as gold (Au), were formed is sufficient as an electrode 31. Moreover, the land 7 which constitutes a part of metallic foil wiring layer is formed on the long base film 34, as for the TAB tape 32, a solder resist 8 is formed on this land 7, and the isolation hole 9 penetrated further up and down is formed.

[0023] Subsequently, as shown in this drawing (b), the TAB tape 32 is cut in the isolation hole 9 using metal mold etc., and the appearance cutting section 16 is formed. Subsequently, as shown in this drawing (c), the piece of individual-like back up plate 21 by which adhesives 22 were formed in one principal plane is stuck on the base film 34 of the TAB tape 32. Here, adhesives 22 can choose and use suitably a room-temperature-gluing mold, a thermoplastic mold, a heat-curing mold, etc.

[0024] Moreover, the dimension-related thing which shows the back up plate 21 and adhesives 22 to drawing 2 or drawing 3 is used suitably. Adhesives 22 were formed all over the principal plane of the side which the square frame-like back up plate 21 sticks, and the thing of drawing 2 is formed so that adhesives 22 and the back up plate 21 may become the same dimension. Moreover, adhesives 22 were formed in the field except the flank of the principal plane of the side on which the back up plate 21 sticks the thing of drawing 3; and the dimension W2 of 5mm and adhesives 22 is formed so that the dimension W1 of the back up plate 21 may be set to 3.0-3.5mm, for example, so that the dimension W2 of adhesives 22 may become smaller than the dimension W1 of the back up plate 21.

[0025] Subsequently, as shown in this drawing (d), the front face, the inner lead 4, and the ILB section 33 of a semiconductor chip 1 are coated with resin 11 by the potting method etc., and a cure is performed after that, for example, 150 degrees C, for 30 to 60 minutes. Subsequently, as shown in this drawing (e), the metal balls 13, such as a solder ball, are supplied on a land 7, and this metal ball 13 is joined to a land 7 by a reflow etc.

[0026] Subsequently, as shown in this drawing (f), heat SUPURETTA (heat sink) 37 of the shape of a piece of an individual of having formed adhesives 36 in the predetermined location of one principal plane is made to counter the semiconductor chip 1 and the back up plate 21 by which adhesives 38 were formed in the rear face, and is stuck on a semiconductor chip 1 and the back up plate 21 through adhesives 36 and 38. A room-temperature-gluing mold, a thermoplastic mold, a heat-curing mold, etc. can be suitably chosen and used for these adhesives 36 like the adhesives 22 mentioned above. By the

above, it completes like the erector of a semiconductor device.

[0027] Moreover, the thing of the various configurations which show the configuration of the adhesives 36 on heat SUPURETTA 37 to drawing 4 is used suitably. It is a thing which is shown in drawing 4 (a) in which the air hall 41 which is the field which does not have adhesives 36 in each corner section on the one diagonal line was formed, and the width of face W4 is set to 2-3mm when dimension W3 of heat SUPURETTA 37 is 40mm. These air halls 41 and 41 are formed in order to prevent the popcorn phenomenon at the time of mounting on a mother board.

[0028] This air hall 41 may be formed in each of each corner section on the two diagonal lines of heat SUPURETTA 37 as shown in drawing 4 (b). Moreover, as shown in drawing 4 (c), when dimension W3 of heat SUPURETTA 37 is 40mm, the adhesives 36 whose die length W5 is 15-25mm and whose width of face W6 is 3-3.5mm may be formed in the center section of each side of this heat SUPURETTA 37. Or as shown in drawing 4 (d), when dimension W3 of heat SUPURETTA 37 is 40mm, the adhesives 36 whose die length W7 of one side is 3-4mm may be formed in each corner section of this heat SUPURETTA 37.

[0029] Since [according to the manufacture approach of the semiconductor device of this operation gestalt] the electrode 31 on a semiconductor chip 1 and the inner lead 4 of the TAB tape 32 are connected, the TAB tape 32 is subsequently cut in the isolation hole 9 and a semiconductor chip 1, an inner lead 4, and the ILB section 33 are subsequently coated with resin 11, even if it performs a resin seal and a cure, deformation of the curvature by the heat of the TAB tape 32 etc. can be controlled.

[0030] Therefore, supply of the metal ball 13 and junction by the reflow can be stabilized, and the yield which can be set like an erector can be raised. Moreover, since the air hall 41 which is a field without

adhesives 36 was formed on heat SUPURETTA 37, the popcorn phenomenon at the time of mounting on a mother board can be prevented, and the dependability in mounting can be raised.

[0031] [Operation gestalt of ** 2nd] drawing 5 and drawing 6 are the process Figs. showing the manufacture approach of the semiconductor device of the 2nd operation gestalt of this invention. First, like the manufacture approach of the 1st operation gestalt, the electrode 31 on a semiconductor chip 1 and the inner lead 4 of the TAB tape 32 are connected, and it considers as the ILB section 33 (drawing 5 (a)), and subsequently, the TAB tape 32 is cut in the isolation hole 9, and the appearance cutting section 16 is formed (drawing 5 (b)).

[0032] Subsequently, as shown in drawing 5 (c), the base film 34 of the TAB tape 32 is stuck on the back up plate 51 of the shape of a frame by which adhesives 22 were formed in one principal plane. Here, as the frame-like back up plate 51, a thing as shown in drawing 7 is prepared, for example. The square frame-like back-up-plate section 53 is connected to the long frame section 52 through the suspenders section 54, a locating hole 55 sets predetermined spacing in the both-sides section of the frame section 52, and the back up plate 51 of the shape of this frame is formed in it.

[0033] It is made for the relation between the width of face W11 of the back-up-plate section 53 and the width of face W12 of adhesives 22 to become $W11=W12$ or about $W12-W11=1-2\text{mm}$ here. Moreover, although the number of the back-up-plate sections 53 is made into three pieces here, it may be four pieces or the other number.

[0034] Subsequently, as shown in drawing 5 (d), the front face, the inner lead 4, and the ILB section 33 of a semiconductor chip 1 are coated with resin 11 by the potting method etc., a cure is performed after that, for example, 150 degrees C, for 30 to 60 minutes, and resin 11 is stiffened. Subsequently, as shown in drawing 5 (e), the metal balls 13, such as a solder ball, are supplied on a land 7, and this metal ball 13 is joined to a land 7 by a reflow etc.

[0035] Subsequently, as shown in drawing 6 (f), it considers as the piece of individual-like package 57 by cutting the suspenders section 54 of the frame-like back up plate 51 using metal mold etc., and forming the appearance cutting section 56. Subsequently, as shown in drawing 6 (g), heat SUPURETTA 37 of the shape of a piece of an individual of having formed adhesives 36 in the predetermined location of one principal plane is made to counter the semiconductor chip 1 with which adhesives 38 were formed in the rear face, and the back-up-plate section 53, and is stuck on a semiconductor chip 1 and the back-up-plate section 53 through adhesives 36 and 38. The thing of the various configurations shown in drawing 4 is used for the configuration, dimension, etc. of the adhesives 36 on said heat SUPURETTA 37. By the above, it completes like the erector of a semiconductor device.

[0036] Since according to the manufacture approach of the semiconductor device of this operation gestalt the electrode 31 on a semiconductor chip 1 and the inner lead 4 of the TAB tape 32 are connected, the TAB tape 32 is subsequently cut and the base film 34 of the TAB tape 32 is stuck subsequently to the frame-like back-up-plate 51 top, deformation of the curvature of the TAB tape 32 etc. can be controlled and installation and junction of the metal ball 13 can be performed in the condition of having been stabilized. Moreover, since the frame-like back up plate 51 can be used for conveyance, automation like an erector can be performed easily and correspondence to small quantity many forms can be performed easily.

[0037] as mentioned above, although concretely explained based on two operation gestalten, this invention is not limited to the above-mentioned 1st and the 2nd operation gestalt, and can be changed into versatility. For example, heat SUPURETTA 37 may be omitted when there is nothing the need by thermal resistance etc. Moreover, the tape carrier package tape of 2 metal structures which formed the wiring layer for a signal and power sources, and it not only uses the tape carrier package tape [as / in two operation gestalten mentioned above] of 1 metal structure of having a metallic foil wiring layer only in the field of one side of the TAB tape 32, but formed the wiring layer for glands in the field of one side of the TAB tape 32 in the field of the opposite side can also be used.

[0038] In relation to the publication of a claim, this invention can take the following mode further.

- (1) Said back up plate is characterized by being the back up plate which has flexibility.
- (2) The back up plate which has said flexibility is characterized by being the frame-like back up plate.
- (3) Said adhesives are characterized by being formed in either of the fields except the flank of the whole principal plane surface of the side which said back up plate sticks, or this principal plane.
- (4) It is characterized by forming the air hall which is a field without adhesives on said heat sink.

[0039]

[Effect of the Invention] Like, according to the manufacture approach of the semiconductor device of this invention, since it had the process which carries out the resin seal of a semiconductor chip and the lead after the process which was explained above and which cuts a substrate per pattern, even if it performs a cure after a resin seal, a possibility that deformation of curvature etc. may arise in said substrate is lost, and generating of the fault resulting from deformation of this curvature etc. can be prevented. Therefore, the manufacture yield can be raised and the dependability of the obtained product can be raised. Moreover, since the substrate which has flexibility is cut per pattern, automation of a production process and correspondence to small quantity many forms can also be performed easily.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the process Fig. showing the manufacture approach of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 2] It is drawing showing the back up plate of the semiconductor device of the 1st operation gestalt of this invention, and a dimension-related example of adhesives, and (a) is the top view and (b) is the side elevation.

[Drawing 3] It is drawing showing the back up plate of the semiconductor device of the 1st operation gestalt of this invention, and other dimension-related examples of adhesives, and (a) is the top view and (b) is the side elevation.

[Drawing 4] It is the top view showing various configurations of the adhesives on heat SUPURETTA of the semiconductor device of the 1st operation gestalt of this invention.

[Drawing 5] It is the process Fig. showing the manufacture approach of the semiconductor device of the 2nd operation gestalt of this invention.

[Drawing 6] It is the process Fig. showing the manufacture approach of the semiconductor device of the 2nd operation gestalt of this invention.

[Drawing 7] It is the top view showing the back up plate of the shape of a frame of the semiconductor device of the 2nd operation gestalt of this invention.

[Drawing 8] It is the process Fig. showing the manufacture approach of BGA using the conventional tape carrier package tape.

[Drawing 9] It is the sectional view showing other examples of BGA using the conventional tape carrier package tape.

[Drawing 10] It is the sectional view showing other examples of BGA using the conventional tape carrier package tape.

[Description of Notations]

1 Semiconductor Chip

2 Bump

3 Tape Carrier Package Tape

3a Base film

4 Inner Lead

5 Bonding Tool

6 The ILB Section

7 Land

8 Solder Resist
9 Isolation Hole
11 Resin
12 Adsorption Section
13 Metal Ball
15 Cutting Tool
16 Appearance Cutting Section
17 Semiconductor Device
21 Back Up Plate
22 Adhesives
23 Heat Sink
24 Adhesives
31 Electrode
32 TAB Tape (Tape Carrier Package Tape)
32a Device hole
33 The ILB Section
34 Base Film
36 Adhesives
37 Heat SUPURETTA (Heat Sink)
38 Adhesives
41 Air Hall
51 Frame-like Back Up Plate
52 Frame Section
53 Back-Up-Plate Section
54 Suspenders Section
55 Locating Hole
56 Appearance Cutting Section
57 Package

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126854

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/56

21/56

R

23/28

23/28

A

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平9-292939

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成9年(1997)10月24日

(72) 発明者 山下 力

東京都港区芝五丁目7番1号 日本電気株式会社内

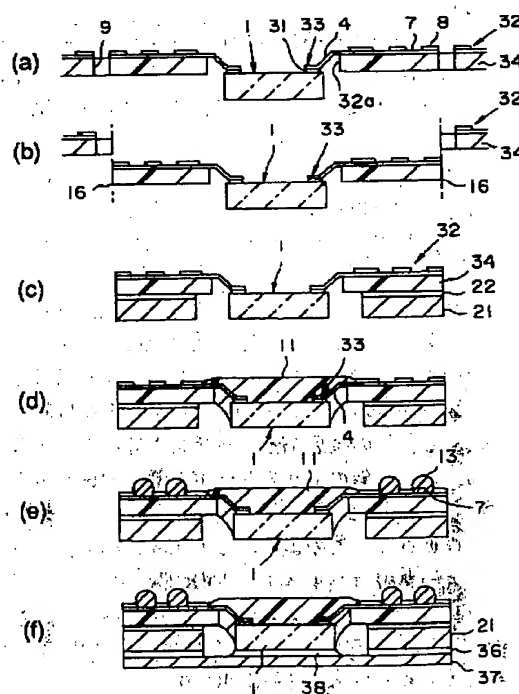
(74) 代理人 弁理士 高橋 昭男 (外5名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体チップを、配線パターンが形成され柔軟性を有する基板上に搭載した半導体装置を製造する際の製造歩留まりを向上させることができ、信頼性の向上した半導体装置を得ることができ、さらに、製造工程の自動化及び少量多品種への対応が可能な半導体装置の製造方法を提供する。

【解決手段】 半導体チップ1を、配線パターンが形成され柔軟性を有する基板32上に搭載した半導体装置の製造方法であり、半導体チップ1上の電極31と基板32のリード4とを接続する工程と、基板32をパターン単位で切断する工程と、半導体チップ1及びリード4を樹脂11により封止する工程とを備えたことを特徴とする。



(2)

【特許請求の範囲】

【請求項1】 半導体チップを、配線パターンが形成され柔軟性を有する基板上に搭載した半導体装置の製造方法であって、

前記半導体チップ上の電極と前記基板のリードとを接続する工程と、前記基板をパターン単位で切断する工程と、前記半導体チップ及びリードを樹脂封止する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 前記樹脂封止する工程の後に、前記基板の配線パターン上に導電性を有する突出電極を接合する工程を設けたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記樹脂封止する工程の前または後のいずれか一方に、前記基板に接着剤を介して補強板を取り付ける工程を設けたことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記突出電極を接合する工程の後に、前記半導体チップに接着剤を介して放熱板を取り付ける工程を設けたことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項5】 前記基板は、少なくとも一主面に金属層からなる配線パターンが形成されたフィルム状基板であることを特徴とする請求項1または2記載の半導体装置の製造方法。

【請求項6】 前記フィルム状基板は、ベースフィルムの少なくとも一主面に金属箔配線層を有するフィルムキャリアテープであることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、フィルムキャリアテープ上に半導体チップを搭載した半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来のフィルムキャリアテープを用いた半導体装置は、次の様な方法により製造されている。まず、ポリイミド、ポリエステル、ガラスエポキシ等の絶縁性のフィルムに、半導体チップが配置される開孔部であるデバイスホールと搬送及び位置決め用スプロケットホールとが形成されたベースフィルムを用意し、このベースフィルム上に銅等からなる金属箔を接着剤を介して接着し、この金属箔をエッチング等により所望の形状に加工し、所望の形状のリードと電気的選別用のパッドとする。

【0003】このようにして形成されたフィルムキャリアテープのデバイスホール内に突出したリード（インナーリード）と、半導体チップの電極端子上に予め設けられた金属突起物からなるバンブとを、熱圧着または共晶法によりインナーリードボンディング（ILB：inner

lead bonding）し、長尺状のフィルムキャリアテープの状態で電気的特性の選別やバーニンイン試験（BT：burn-in test）を実施する。次いで、インナーリードをアウターリードボンディング（OLB：outer lead bonding）可能な所望の長さに切断する。

【0004】ここで、リードの数が多く多数ピンの場合には、リードのアウターリードボンディング部のばらけを防止するために、絶縁フィルムをアウターリードの外端に残す方法が用いられることが多い。次いで、リードを、例えばプリント基板等のボンディングパッドにOLBにより実装する。

【0005】ところで、このようなフィルムキャリアテープを用いた半導体装置の実装方法では、プリント基板にリードをOLBにより実装する際、このリードの厚さが約35μmと非常に薄いためにリードのコプラナリティーの確保が難しく、これに対応するためには、フィルムキャリアテープ専用のOLBボンダーが必要であった。

【0006】また、この半導体装置を、例えばQFP等のような一括リフローで実装可能な他の表面実装パッケージと共に同一基板上に実装する場合、リフロー工程による実装ができないために、このリフロー工程とは別工程で実装する必要があった。このため、フィルムキャリアテープを用いた半導体装置は、特殊なパッケージとして取り扱われることとなり、汎用性に欠けるという問題点があった。

【0007】一方、リフロー可能なQFP等のアウターリフローピッチは、0.4mmピッチ程度が限界とされている。この限界に対処しようものとしては、パッケージ裏面に外部端子として半田バンブを格子状に配置した表面実装型パッケージであるBGA（Ball Grid Array）が提案されている（例えば、日経マイクロデバイス、1994年8月号、pp. 58～64参照）。

【0008】このBGAは、例えば、220ピン級の23～24mm角のパッケージを実現するためには1.5mm程度のピッチでよく、0.4mmピッチが必要とされた従来のQFPと比べて実装性に優れたものである。また、このBGAは、パッケージの外形サイズが小さいため、パッケージ内部の配線長を短くすることができ、電気的特性も向上するという特徴がある。このBGAに用いられる基板としては、多層プリント基板の他、セラミック基板、フィルムキャリアテープ等がある。

【0009】図8は、例えば、特開平8-31866号公報に開示されているフィルムキャリアテープを用いたBGAの製造方法を示す過程図である。まず、同図（a）に示すように、半導体チップ1上のバンブ2とフィルムキャリアテープ3のインナーリード4とを、ボンディングツール5を用いて接続し、ILB部6とする。ここでは、フィルムキャリアテープ3のベースフィルム3a上にはランド7が形成され、このランド7上にはソ

(3)

3

ルダレジスト8が形成され、さらに上下に貫通するアイソレーションホール9が形成されている。

【0010】次いで、同図(b)に示すように、ポッティング法等により半導体チップ1、インナーリード4及びILB部6を樹脂11で封止する。そして、吸着部12を用いて、フィルムキャリアテープ3のランド7の位置と一致するように半田ボール等の金属球13を配列し、同図(c)に示すように、吸着部12を下降させて金属球13をランド7に熱圧着等により接合する。

【0011】次いで、フィルムキャリアテープ3上に設けられた図示しない電気的特性選別用パッドを用いて特性の選別を行った後、同図(d)に示すように、カッティングツール15等を用いてフィルムキャリアテープ3をアイソレーションホール9の部分で切断し、同図(e)に示すように、端面が外形切断部16とされた半導体装置17とする。

【0012】このフィルムキャリアテープを用いたBGAの他の一例としては、図9に示すように、フィルムキャリアテープ3の金属球13が接合された面と反対側の面に、補強板21を接着剤22により貼り付けた構造のものや、図10に示すように、半導体チップ1及びフィルムキャリアテープ3全体を覆うように、放熱板23を接着剤22、24により貼り付けた構造のものも提案されている。このフィルムキャリアテープを用いたBGAの製造方法は、電気的特性の選別までは長尺状のフィルムキャリアテープ3で搬送し、その後、このフィルムキャリアテープ3をアイソレーションホール9の部分で切断し個片状とすることに特徴がある。

【0013】

【発明が解決しようとする課題】ところで、従来のフィルムキャリアテープを用いたBGAの製造方法では、電気的特性の選別までは長尺状のフィルムキャリアテープ3を用い、その後、このフィルムキャリアテープ3を切断し個片状としているが、ポッティング法等により樹脂11封止した後に樹脂11のキュアを行うと、フィルムキャリアテープ3はキュアの際の熱により反り等の変形が発生し易くなる。したがって、樹脂11のキュア後に金属球13をランド7に接合する場合、ランド7への供給から接合までの間に金属球13が位置ずれ等を起こし易く、製造歩留まりが低下するという問題点があった。

【0014】また、電気的特性の選別までは長尺状のフィルムキャリアテープ3を用いているが、この方法は、フィルムキャリアテープ3を巻き取りつつ同一品種の製品を大量に生産する方法であるから、少量多品種の製品への対応が困難であるという問題点もあった。

【0015】本発明は、上記の事情に鑑みてなされたものであって、半導体チップを、配線パターンが形成され柔軟性を有する基板上に搭載した半導体装置を製造する際の製造歩留まりを向上させることができ、信頼性の向上した半導体装置を得ることができ、さらに、製造工程

4

の自動化及び少量多品種への対応が可能な半導体装置の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題を解決するために、本発明は次の様な半導体装置の製造方法を提供する。すなわち、半導体チップを、配線パターンが形成され柔軟性を有する基板上に搭載した半導体装置の製造方法であり、前記半導体チップ上の電極と前記基板のリードとを接続する工程と、前記基板をパターン単位で切断する工程と、前記半導体チップ及びリードを樹脂封止する工程とを備えた方法である。

【0017】前記樹脂封止する工程の後に、前記基板の配線パターン上に導電性を有する突出電極を接合する工程を設けてもよい。また、前記樹脂封止する工程の前または後のいずれか一方に、前記基板に接着剤を介して補強板を取り付ける工程を設けてもよい。また、前記突出電極を接合する工程の後に、前記半導体チップに接着剤を介して放熱板を取り付ける工程を設けてもよい。

【0018】また、前記基板を、少なくとも一主面に金属層からなる配線パターンが形成されたフィルム状基板としてもよい。さらに、前記フィルム状基板を、ベースフィルムの少なくとも一主面に金属箔配線層を有するフィルムキャリアテープとしてもよい。

【0019】本発明の半導体装置の製造方法では、前記基板をパターン単位で切断する工程の後に、前記半導体チップ及びリードを樹脂封止する工程を備えたことにより、樹脂封止の後にキュアを行っても、前記基板に反り等の変形が生じる虞が無くなり、この反り等の変形に起因する不具合の発生が無くなる。これにより、製造歩留まりが向上し、得られた製品の信頼性も向上する。また、柔軟性を有する基板をパターン単位で切断することにより、従来より用いられている製造工程の自動化ラインを用いることが可能になる。また、パターン単位で切断した個片を品種毎に必要とされる工程に送ることが可能になることから、少量多品種への対応も容易となる。

【0020】

【発明の実施の形態】本発明の半導体装置の製造方法の各実施形態について図面に基づき説明する。

【0021】【第1の実施形態】図1は本発明の第1の実施形態の半導体装置の製造方法を示す過程図である。まず、同図(a)に示すように、半導体チップ1上の電極31とTAB (tape automated bonding) テープ (フィルムキャリアテープ) 32の金属箔配線層の一部を構成しデバイスホール32a内に突出するインナーリード4とを、シングルポイント法やギャング法等のILB法により接続しILB部33とする。

【0022】電極31は、A1等の薄膜により形成されたもの、または、さらにバリアメタルを追加し金(Au)等のパンプが形成されたものでもよい。また、TABテープ32は、長尺のベースフィルム34上に金属箔

(4)

5
配線層の一部を構成するランド7が形成され、このランド7上にソルダーレジスト8が形成され、さらに、上下に貫通するアイソレーションホール9が形成されている。

【0023】次いで、同図(b)に示すように、金型等を用いてTABテープ32をアイソレーションホール9で切断し、外形切断部16を形成する。次いで、同図(c)に示すように、一主面に接着剤22が設けられた個片状の補強板21をTABテープ32のベースフィルム34に貼付ける。ここでは、接着剤22は常温接着型、熱可塑型、熱硬化型等、適宜選択・使用することができる。

【0024】また、補強板21と接着剤22は、例えば、図2または図3に示す寸法関係のものが好適に用いられる。図2のものは、接着剤22が四角枠状の補強板21の貼付ける側の主面全面に形成されたもので、接着剤22と補強板21とは同一寸法になるように形成されている。また、図3のものは、接着剤22が補強板21の貼付ける側の主面の側部を除く面に形成されたもので、例えば、補強板21の寸法W1が5mm、接着剤22の寸法W2が3.0~3.5mmとなるように、接着剤22の寸法W2が補強板21の寸法W1より小さくなるように形成されている。

【0025】次いで、同図(d)に示すように、ポッティング法等により半導体チップ1の表面、インナーリード4及びILB部33を樹脂11にてコーティングし、その後、例えば、150℃で30~60分キュアを行う。次いで、同図(e)に示すように、半田ボール等の金属球13をランド7上に供給し、リフロー等によりこの金属球13をランド7に接合する。

【0026】次いで、同図(f)に示すように、一主面の所定位置に接着剤36を形成した個片状のヒートスプレッター(放熱板)37を、裏面に接着剤38が形成された半導体チップ1及び補強板21に対向させ、接着剤36、38を介して半導体チップ1及び補強板21に貼付ける。この接着剤36は、上述した接着剤22と同様、常温接着型、熱可塑型、熱硬化型等、適宜選択・使用することができる。以上により、半導体装置の組立工程が完了する。

【0027】また、ヒートスプレッター37上の接着剤36の形状は、例えば、図4に示す各種形状のものが好適に用いられる。図4(a)に示すものは、1つの対角線上の各コーナー部に接着剤36の無い領域であるエアホール41を形成したもので、その幅W4は、例えば、ヒートスプレッター37の外形寸法W3が40mmのとき2~3mmとされている。これらのエアホール41、41は、マザーボード上に実装する際のポップコーン現象を防止するために形成されている。

【0028】このエアホール41は、図4(b)に示すように、ヒートスプレッター37の2つの対角線上の各

6
コーナー部それぞれに形成してもよい。また、図4

(c)に示すように、ヒートスプレッター37の外形寸法W3が40mmのとき、該ヒートスプレッター37の各辺の中央部に、長さW5が15~25mm、幅W6が3~3.5mmの接着剤36が形成されているものでもよい。あるいは、図4(d)に示すように、ヒートスプレッター37の外形寸法W3が40mmのとき、該ヒートスプレッター37の各コーナー部に、一辺の長さW7が3~4mmの接着剤36が形成されているものでもよい。

【0029】本実施形態の半導体装置の製造方法によれば、半導体チップ1上の電極31とTABテープ32のインナーリード4とを接続し、次いでTABテープ32をアイソレーションホール9で切断し、次いで半導体チップ1、インナーリード4及びILB部33を樹脂11にてコーティングすることとしたので、樹脂封止及びキュアを行っても、TABテープ32の熱による反り等の変形を抑制することができる。

【0030】したがって、金属球13の供給及びリフローによる接合が安定し、組立工程における歩留まりを向上させることができる。また、ヒートスプレッター37上に接着剤36の無い領域であるエアホール41を形成したので、マザーボード上に実装する際のポップコーン現象を防止することができ、実装における信頼性を向上させることができる。

【0031】[第2の実施形態] 図5及び図6は本発明の第2の実施形態の半導体装置の製造方法を示す過程図である。まず、第1の実施形態の製造方法と同様に、半導体チップ1上の電極31とTABテープ32のインナーリード4とを接続しILB部33とし(図5

(a))、次いで、TABテープ32をアイソレーションホール9で切断し外形切断部16を形成する(図5(b))。

【0032】次いで、図5(c)に示すように、一主面に接着剤22が設けられたフレーム状の補強板51上に、TABテープ32のベースフィルム34を貼付ける。ここで、フレーム状の補強板51としては、例えば、図7に示すようなものを準備する。このフレーム状の補強板51は、長尺のフレーム部52に四角枠状の補強板部53がサスペンダー部54を介して接続されており、フレーム部52の両側部には位置決め穴55が所定の間隔をおいて形成されている。

【0033】ここで、補強板部53の幅W11と接着剤22の幅W12との関係は、 $W11 = W12$ 、または $W12 - W11 = 1 \sim 2 \text{ mm}$ 程度となるようにする。また、補強板部53の数は、ここでは3個とされているが、4個あるいはそれ以外の個数であってもよい。

【0034】次いで、図5(d)に示すように、ポッティング法等により半導体チップ1の表面、インナーリード4及びILB部33を樹脂11にてコーティングし、

(5)

その後、例えば、150℃で30～60分キュアを行い、樹脂11を硬化させる。次いで、図5(e)に示すように、半田ボール等の金属球13をランド7上に供給し、リフロー等によりこの金属球13をランド7に接合する。

【0035】次いで、図6(f)に示すように、金型等を用いてフレーム状の補強板51のサスペンダー部54を切断し外形切断部56を形成することにより、個片状のパッケージ57とする。次いで、図6(g)に示すように、一主面の所定位置に接着剤36を形成した個片状のヒートスプレッター37を、裏面に接着剤38が形成された半導体チップ1及び補強板部53に対向させ、接着剤36、38を介して半導体チップ1及び補強板部53に貼付ける。前記ヒートスプレッター37上の接着剤36の形状・寸法等は、例えば、図4に示す各種形状のものをを用いる。以上により、半導体装置の組立工程が完了する。

【0036】本実施形態の半導体装置の製造方法によれば、半導体チップ1上の電極31とTABテープ32のインナーリード4とを接続し、次いでTABテープ32を切断し、次いでフレーム状の補強板51上にTABテープ32のベースフィルム34を貼付けるので、TABテープ32の反り等の変形を抑制し、金属球13の取り付け及び接合を安定した状態で行なうことができる。また、フレーム状の補強板51を搬送に用いることができるので、組立工程の自動化を容易に行なうことができ、少量多品種への対応を容易に行なうことができる。

【0037】以上、2つの実施形態に基づき具体的に説明したが、本発明は上述の第1及び第2の実施形態に限定されるものではなく、種々に変更可能である。例えば、ヒートスプレッター37は、熱抵抗等により必要無い場合は省略してもよい。また、上述した2つの実施形態におけるように、TABテープ32の片側の面のみに金属箔配線層を有する1メタル構造のフィルムキャリアテープを用いるのみでなく、例えば、TABテープ32の片側の面に信号及び電源用の配線層を形成し、反対側の面にランド用の配線層を形成した2メタル構造のフィルムキャリアテープを用いることもできる。

【0038】請求項の記載に関連して、本発明はさらに次の態様を取りうる。

(1) 前記補強板は、柔軟性を有する補強板であることを特徴とする。

(2) 前記柔軟性を有する補強板は、フレーム状の補強板であることを特徴とする。

(3) 前記接着剤は、前記補強板の貼付ける側の主面全面または該主面の側部を除く面のいずれかに形成されていることを特徴とする。

(4) 前記放熱板上に、接着剤の無い領域であるエアホールを形成したことを特徴とする。

【0039】

【発明の効果】以上説明した様に、本発明の半導体装置の製造方法によれば、基板をパターン単位で切断する工程の後に、半導体チップ及びリードを樹脂封止する工程を備えたので、樹脂封止の後にキュアを行っても、前記基板に反り等の変形が生じる虞が無くなり、この反り等の変形に起因する不具合の発生を防止することができる。したがって、製造歩留まりを向上させることができ、得られた製品の信頼性を向上させることができる。また、柔軟性を有する基板をパターン単位で切断するので、製造工程の自動化及び少量多品種への対応も容易に行なうことができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態の半導体装置の製造方法を示す過程図である。

【図2】 本発明の第1の実施形態の半導体装置の補強板と接着剤の寸法関係の一例を示す図であり、(a)はその平面図、(b)はその側面図である。

【図3】 本発明の第1の実施形態の半導体装置の補強板と接着剤の寸法関係の他の一例を示す図であり、(a)はその平面図、(b)はその側面図である。

【図4】 本発明の第1の実施形態の半導体装置のヒートスプレッター上の接着剤の様々な形状を示す平面図である。

【図5】 本発明の第2の実施形態の半導体装置の製造方法を示す過程図である。

【図6】 本発明の第2の実施形態の半導体装置の製造方法を示す過程図である。

【図7】 本発明の第2の実施形態の半導体装置のフレーム状の補強板を示す平面図である。

【図8】 従来のフィルムキャリアテープを用いたBGAの製造方法を示す過程図である。

【図9】 従来のフィルムキャリアテープを用いたBGAの他の一例を示す断面図である。

【図10】 従来のフィルムキャリアテープを用いたBGAの他の一例を示す断面図である。

【符号の説明】

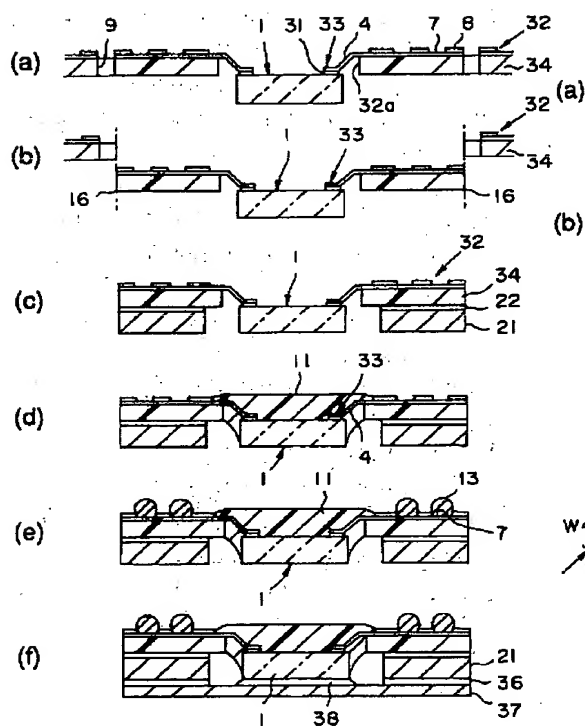
- 1 半導体チップ
- 2 パンプ
- 3 フィルムキャリアテープ
- 3a ベースフィルム
- 4 インナーリード
- 5 ボンディングツール
- 6 I.L.B部
- 7 ランド
- 8 ソルダーレジスト
- 9 アイソレーションホール
- 11 樹脂
- 12 吸着部
- 13 金属球
- 15 カッティングツール

(6)

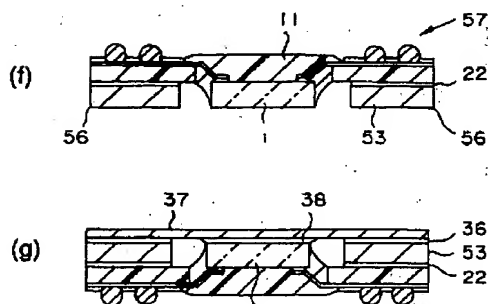
9

- 16 外形切断部
- 17 半導体装置
- 21 補強板
- 22 接着剤
- 23 放熱板
- 24 接着剤
- 31 電極
- 32 TABテープ (フィルムキャリアテープ)
- 32a デバイスホール
- 33 ILB部
- 34 ベースフィルム

【図1】



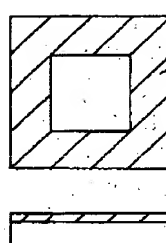
【図6】



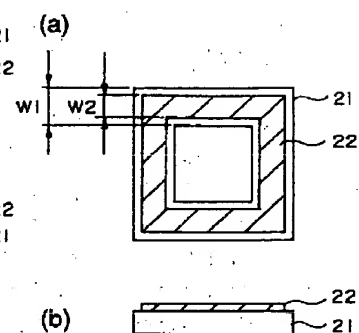
10

- 36 接着剤
- 37 ヒートスプレッター (放熱板)
- 38 接着剤
- 41 エアホール
- 51 フレーム状の補強板
- 52 フレーム部
- 53 補強板部
- 54 サスペンダー部
- 55 位置決め穴
- 56 外形切断部
- 57 パッケージ

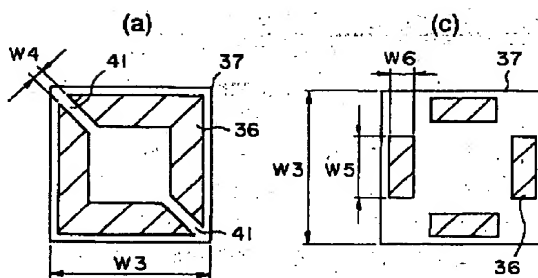
【図2】



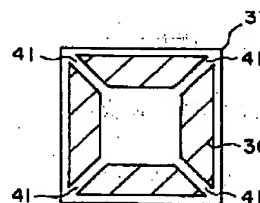
【図3】



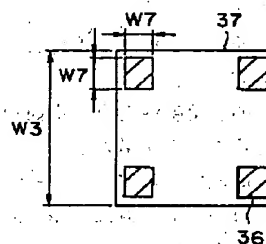
【図4】



(b)

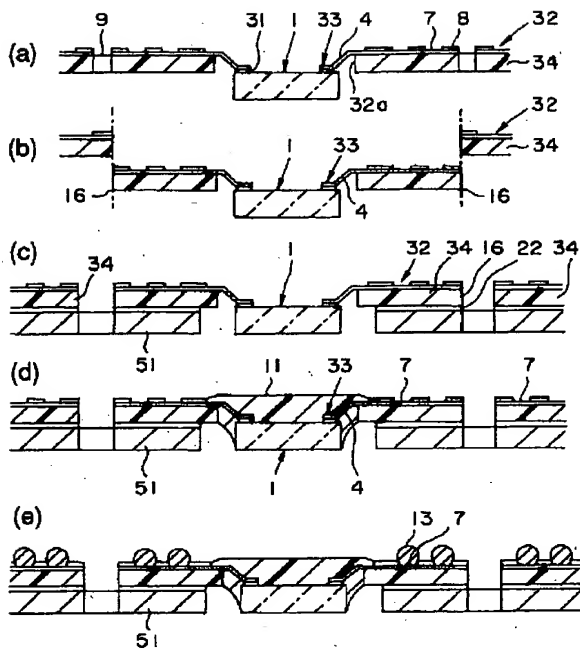


(d)

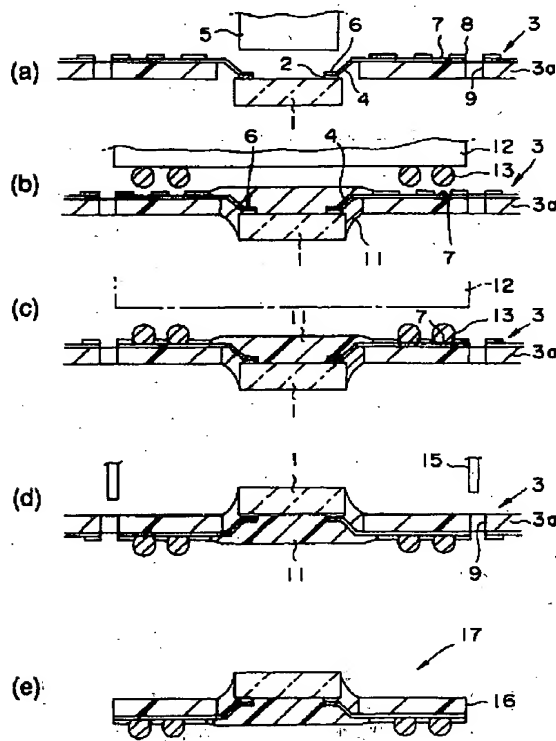


(7)

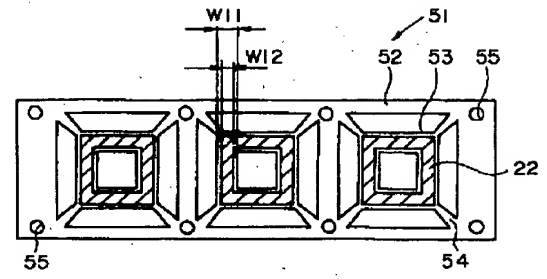
【図5】



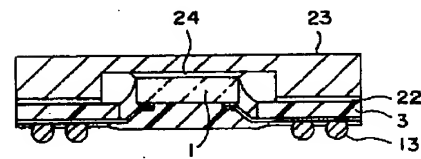
【図8】



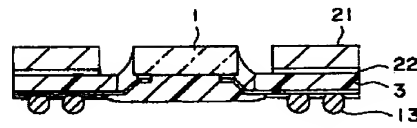
【図7】



【図10】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.